

# 用于高速高精度模数转换器的 16 Gb/s 串行接口发射机电路

韩佳利<sup>1</sup>, 任佳佳<sup>1</sup>, 裴磊<sup>1</sup>, 李楠楠<sup>1</sup>, 齐欢欢<sup>1</sup>, 王金富<sup>2</sup>, 张杰<sup>1</sup>, 张鸿<sup>1</sup>

(1. 西安交通大学微电子学院, 710049, 西安; 2. 西安航天民芯科技有限公司, 710076, 西安)

**摘要:** 针对高速高精度模数转换器(ADC)中的高速串行接口(SerDes)发射机电路面临的信道损耗、噪声、串扰、工艺波动等非理想因素,提出了一种符合传输接口 JESD204B 协议要求的高速串行发射机电路结构,综合使用匹配阻抗校准、前馈均衡(FFE)和 T-coil 等技术来改善数据传输质量。对于现有半速率发射机结构对时钟占空比较为敏感的问题,设计了时钟占空比校准电路来稳定输出时钟的占空比。另外,文中所采用的多支路并联的源串联终端(SST)驱动器架构,有效地实现了匹配阻抗校准与前馈均衡方案的结合,大幅减小了电路复杂度和面积占用,显著降低了发射机功耗。提出的发射机电路采用 28 nm CMOS 工艺设计并流片,实测结果表明,在 16 Gb/s 的传输速率下,输出信号眼高为 811 mV、眼宽约为 58.8 ps,总抖动为 7.35 ps,发射机功耗约为 49.2 mW,能效比为 3.07 pJ/bit,电路版图面积约为  $300 \times 150 \mu\text{m}^2$ 。在满足协议要求的前提下,该发射机在抖动性能、能效和电路面积上具有显著优势。

**关键词:** 发射机;阻抗校准;占空比校准;T-coil;源串联终端

**中图分类号:** TN432 **文献标志码:** A

**DOI:** 10.7652/xjtubxb202409017 **文章编号:** 0253-987X(2024)09-0173-10

## A 16 Gb/s SerDes Transmitter for High-Speed and High-Precision Analog-to-Digital Convertors

HAN Jiali<sup>1</sup>, REN Jiajia<sup>1</sup>, PEI Lei<sup>1</sup>, LI Nannan<sup>1</sup>, QI Huanhuan<sup>1</sup>,

WANG Jinfu<sup>2</sup>, ZHANG Jie<sup>1</sup>, ZHANG Hong<sup>1</sup>

(1. School of Microelectronics, Xi'an Jiaotong University, Xi'an 710049, China;

2. Xi'an Aerosemi Technology Company, Xi'an 710076, China)

**Abstract:** A high-speed serial transmitter circuit compliant with the JESD204B protocol is designed in this paper, aiming to address the non-ideal factors such as channel attenuation, noise, and crosstalk faced by the transmitter circuit of high-speed Serial/De-serial interface (SerDes) in high-speed and high-precision analog-to-digital converters (ADCs). The design employs several techniques such as matching impedance calibration, feed-forward equalization, and T-coil to improve the quality of data transmission. In addition, to tackle the sensitivity of the current half-rate transmitter architecture to variation in the input clock duty cycle, a duty cycle calibration circuit is devised to stabilize the duty cycle of the output clock. Besides, the source-series-terminated (SST) driver architecture with

multiple parallel slices is adopted to realize the combination of matching impedance calibration and feed-forward equalization scheme, significantly reducing circuit complexity, area occupation, and power consumption of the transmitter. The transmitter is designed and fabricated in a 28 nm CMOS process. Measurement results show that, at a transmission rate of 16 Gb/s, the transmitter achieves an eye height of 811 mV, an eye width of 58.8 ps, a total jitter of 7.35 ps, a power consumption of 49.2 mW, and an energy efficiency rate of 3.07 pJ/bit. The layout area measures  $300 \times 150 \mu\text{m}^2$ . The transmitter showcases significant advantages in terms of jitter performance, energy efficiency, and circuit area while meeting protocol requirements.

**Keywords:** transmitter; impedance calibration; duty cycle calibration; T-coil; source-series-terminated

随着有线通信数据速率不断提升以及集成电路工艺的不断进步,高速串行数据接口(SerDes)技术已经广泛取代了传统的并行接口技术。SerDes接口解决了高速条件下并行数据不同步的问题,同时能够大大减少 I/O 接口数量,并具有更好的电磁兼容性<sup>[1-2]</sup>。在此背景下,作为宽带通信系统关键电路的高速高精度模数转换器(ADC),其数据的传输也逐渐采用 SerDes 来替代传统的并行接口,从而显著降低 ADC 芯片的 I/O 数量和芯片的封装体积以及电路板的设计难度。为了提高 ADC 的 SerDes 接口与其他通信设备的兼容性,JESD204B 协议对高速高精度 ADC 中 SerDes 接口的各项电气参数进行了严格定义,使得满足该协议的收发机也成为当前国际上先进的高速 ADC 所采用的主流接口技术<sup>[3-5]</sup>。

随着数据吞吐量的剧增,SerDes 收发机电路的设计面临的挑战与日俱增。在电路设计层面需要解决的问题包括如何在有限的时钟速率下实现更高的数据传输速率,如何实现更快的驱动器响应速度和更大的信号摆幅,如何降低收发机的误码率并提高能效比等<sup>[6-7]</sup>。针对这些难题,近些年国际上提出了诸多设计方案,其中采用半速率、1/4 速率时钟的发射机结构,可以降低收发机的时钟速率需求,但同时时钟占空比稳定性提出了更高的要求<sup>[8-10]</sup>。

对于核心的驱动器电路,主流的电流模逻辑(CML)驱动器具有更好的噪声性能,但较小的匹配阻抗迫使它不得不增大驱动电流以实现一定的信号摆幅<sup>[11-13]</sup>。文献[14]提出了一种大摆幅低功耗的源串联终端(SST)的驱动器结构,但缺少匹配阻抗校准方案,使其对工艺的波动非常敏感。此外,针对严重影响数据误码率的码间干扰问题,除了在接收机内部对信号进行均衡外,在发射机内部设置一定

程度的前馈均衡也已被广泛采用<sup>[15-18]</sup>,因此如何在 SST 驱动器中实现前馈均衡也是设计的难点。另外,针对发射机输出端较大的静电放电(ESD)保护电路寄生电容所引起的低通特性,在高速场景下需要采取一定的措施去补偿和扩展<sup>[19-21]</sup>。

针对以上问题,本文采用 28 nm CMOS 工艺,设计了一种最高传输速率为 16 Gb/s 且符合 JESD204B 协议要求的 SerDes 发射机电路。发射机采用半速率非归零码的数据传输方式。本文设计了时钟占空比校准电路,使其能够自适应地校准输入时钟的占空比失调,以保证半速率数据的传输质量。电路采用改进的多支路并联 SST 驱动器结构,能够在输出更大信号摆幅的同时,有效实现匹配阻抗校准和前馈均衡方案的结合,显著降低了电路复杂性和功耗面积开销。另外,还设计了一步式匹配阻抗自校准方案,能够更有效地解决先进工艺下片上电阻较大的制造偏差所带来的匹配阻抗失调和反射现象。最后本文通过 T-coil 结构,有效补偿了 ESD 寄生所导致的高频信号衰减。综合以上技术,经测试,本文发射机在 16 Gb/s 的传输速率下,输出信号眼高为 811 mV,眼宽约为 58.8 ps,总抖动为 7.35 ps,发射机功耗约为 49.2 mW,能效比为 3.07 pJ/bit。电路版图面积约为  $300 \times 150 \mu\text{m}^2$ 。

## 1 发射机电路的系统结构

本文设计的发射机应用目标为 2 个 14 位、最高采样速率为  $3 \times 10^9/\text{s}$  的高速高精度 ADC 系统,需满足 JESD204B 通信协议对发射机的电气特性要求,并尽可能提高通信信号质量、降低功耗。考虑到 JESD204B 协议编解码所增加的信息,两个 ADC 的接口发送数据的整体速率达到 120 Gb/s,需要用到

8 个相同的 SerDes 发射机通道进行数据的协同传输,单个通道的工作速率为 1.687 5~16 Gb/s,以充分满足 ADC 的数据传输需求。输入到每个 SerDes 发射机的数据位宽为 20 bit,速率为 84.375~800 Mb/s。图 1 为发射机系统的整体结构。发射机外部包括锁相环系统、带隙基准和线性稳压驱动器电路。发射机内部电路包括数据并串转换电路、阻抗匹配和前馈均衡控制电路、采用多支路并联 SST 结构的驱动器电路、用以扩展带宽的 T-coil 终端电路、优化时钟性能的时钟转换与占空比校准电路以及一步式匹配阻抗自校准电路。

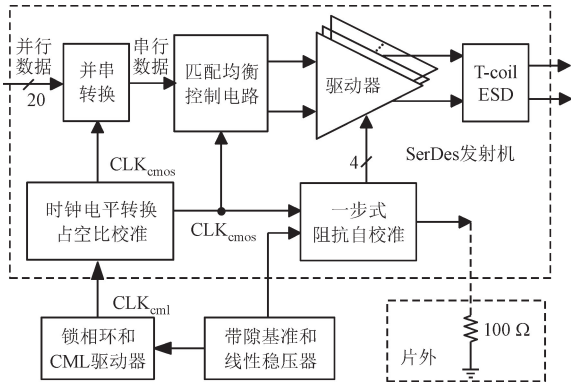


图 1 发射机系统结构  
Fig. 1 Transmitter system structure

发射机的主要工作原理如下。时钟通路由锁相环为发射机系统提供最高速率为 8 GHz 的差分高频时钟,该时钟信号在电平转换电路中实现电流模逻辑(CML)到 CMOS 的电平转换,再通过占空比校准电路中的反馈调节输出占空比逼近 50% 的稳定系统时钟。数据通路由协议数模接口输入的 20 bit、800 Mb/s 并行数据在并串转换电路中通过半速率时钟采样的方式,转换成 16 Gb/s 的串行数据传入驱动器电路,由驱动器提供足够的驱动能力,将高速数据通过片外线缆(或电路板走线)传输到接收机。在驱动器驱动串行数据输出之前,电路会根据工艺波动,对匹配电阻进行一步式自校准,再根据实际的应用场景、信道特性,配置合适的均衡系数,完成驱动器的预配置,以实现最佳性能的信号传输。终端处的 T-coil 电路可以很大程度地补偿 ESD 保护电路引入的高频衰减,改善发射机电路的回波损耗性能。

2 时钟电平转换和占空比校准电路

发射机系统中时钟的性能会直接影响数据传输的速率和输出信号的质量,时钟的抖动和过大的上

升下降延时都会直接造成串行数据脉宽边沿的抖动。此外,半速率的传输结构需要用到相差为 180° 的两相时钟(即时钟的上升和下降沿)来进行数据并串转换,这就要求时钟具有稳定的 50% 的占空比。占空比的失真会直接引起数据边沿的确定性抖动,使得输出信号的眼图质量严重下降,引起较大的数据传输误码率<sup>[22]</sup>。为此,在发射机系统内部需要对锁相环输入的时钟进行处理和优化,以满足发射机对时钟信号的性能要求。

2.1 时钟电平转换电路

本文 8 个发射机通道的时钟均来自同一个高速锁相环。通道间的并行排列方式使发射机与锁相环之间存在很长的走线。为减少走线衰减和噪声干扰,使发射机获得更高性能的时钟,时钟采用 CML 电平来进行传输分发;这需要在锁相环输出端和发射机电路内部分别设计 CML 驱动器在和 CML 到 CMOS 的电平转换电路,其结构如图 2 所示。CML 驱动器采用电容源级负反馈的驱动器结构,该结构的传递函数为

$$H(s) = \frac{g_m}{C_1} \left( s + \frac{1}{R_{0,M1} C_S} \right) / \left( s + \frac{1 + g_m R_{0,M1} / 2}{R_{0,M1} C_S} \right) \left( s + \frac{1}{R_L C_1} \right)^{-1} \quad (1)$$

式中: S 为复频域变量;  $g_m$  为差分输入对电流管 M3 和 M4 的跨导;  $R_{0,M1}$  为电流管 M1 的输出阻抗。其中反馈电容  $C_S$  能够为系统引入一个零点,使得系统表现出带通的频率特性,从而具有更大的带宽;还能有效地抑制低频噪声和个别时钟信号的直流电平失真对占空比的影响。

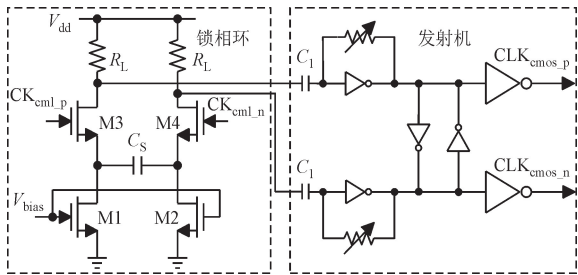


图 2 时钟电平转换电路结构  
Fig. 2 Clocklevel-shifter circuit structure

CML 到 CMOS 的电平转换电路由反相器跨接反馈电阻构成的跨阻结构和后级缓冲器组成。跨阻结构能够建立一个处于反相器翻转阈值处的直流电平,接收到的 CML 电平时钟则可以通过隔直电容  $C_1$  与该直流点实现交流耦合,经过后级交叉耦合反

相器和缓冲器的驱动,最终输出 CMOS 电平时钟。与此同时,该结构能够优化输入时钟直流电压失调所引起的占空比失真。交叉耦合的反相器能够增大输出驱动,优化时钟上升、下降延时。

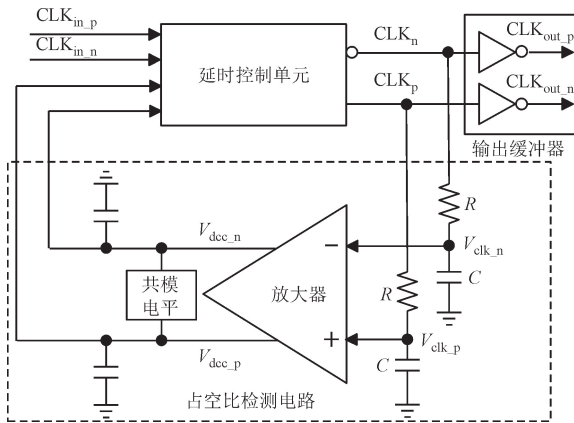
2.2 时钟占空比校准电路

转换电路对时钟占空比的优化非常有限,为此本文设计了时钟占空比校准电路来实时检测和调节时钟的占空比。电路由占空比检测模块、延时控制单元及一组输出缓冲器组成,如图 3(a)所示。

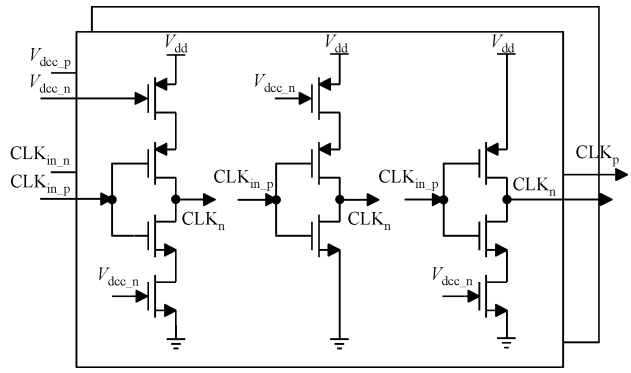
检测电路会对延时控制单元输出的时钟  $CLK_p$  和  $CLK_n$  进行 RC 滤波,得到它们的平均电压  $V_{clk\_p}$  和  $V_{clk\_n}$ ,实现占空比到电压的初步量化。量化后的电压经过差分运算放大器放大后输出控制电压  $V_{dec\_p}$  和  $V_{dec\_n}$ ,控制电压可以通过延时控制模块调控时钟上升、下降延时,从而实现对时钟占空比的调节,形成负反馈闭环。当环路达到稳定时,输出时钟  $CLK_{out\_p}$  和  $CLK_{out\_n}$  的占空比会稳定在 50%。

延时控制模块电路结构如图 3(b)所示,每条时钟通路由 3 个并联的可控延时反相器组成,通过改变控制电压  $V_{dec\_n}$  和  $V_{dec\_p}$  来控制反相器充放电电流大小,从而改变输入时钟翻转时的上升、下降延时。

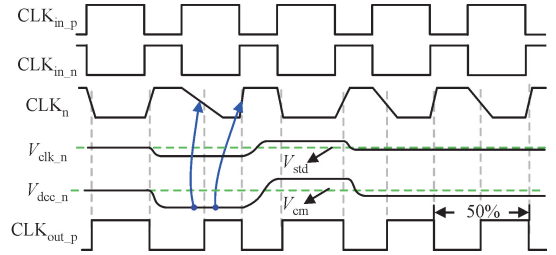
图 3(c)为调节过程的波形示意图,对于一组占空比不为 50% 的输入时钟,以  $CLK_{in\_p}$  为例,经过未调控的延时控制单元后输出时钟  $CLK_n$ ,再经 RC 滤波后得到对应的平均电压  $V_{clk\_n}$ ,此时有  $V_{clk\_n} < V_{std}$  (设占空比为 50% 时,平均电压为  $V_{std}$ )。经过差分运算放大器比较放大后,电压  $V_{dec\_n}$  减小,结合图 3(b),减小的  $V_{dec\_n}$  会增大延时单元可控延时反相器的下降延时、减小上升延时,从而使输出的  $CLK_n$  时钟占空比增大,后级的输出驱动器对输出的时钟波形进行整形驱动。经过几个周期的调整,输出时钟的占空比最终会稳定收敛到 50%。



(a) 占空比校准电路



(b) 延时控制模块



(c) 占空比校准波形示意图

图 3 占空比校准方案

Fig. 3 Duty cycle calibration scheme

3 驱动器电路及阻抗匹配和均衡方案

驱动器作为发射机的核心模块,能将高速的数字信号转变成具有所需带宽的模拟信号,其性能在很大程度上决定了发射机输出的串行信号的质量。此外,驱动器以全速率进行工作,因而是发射机中的功耗最大的模块。

3.1 发射机驱动器电路

在高速率多通道数据传输的场景下,传统的 CML 驱动器会产生较大的功耗,因此本文采用 SST 驱动器,在保证传输速率的同时,显著降低发射机功耗。与 CML 不同,SST 驱动器是一种电压模式的驱动器,具有结构简单、摆幅大、易匹配和低功耗等优势,可以应用于多种高速传输协议。

基本的 SST 驱动器电路结构如图 4(a)所示,包括一对 PMOS 上拉开关、一对 NMOS 下拉开关和一对串联的端接匹配电阻(设计为  $50\ \Omega$ )。输出数据 1 时,由  $V_{in\_n}$  输入的低电平控制 PMOS 上拉开关导通,同时  $V_{in\_p}$  输入的高电平控制 NMOS 下拉开关导通,经过与传输线的  $50\ \Omega$  特征阻抗分压,得到输出高电平  $V_{outp} = (V_{dd} - V_{ds})/2$  ( $V_{ds}$  为 MOS 管源漏端压降),同时输出低电平  $V_{outn} = 0$ 。数据 0 的输出与 1 相反。因此,若不考虑晶体管的压降和传输线损耗,该结构的差分输出摆幅可以达到电源电压  $V_{dd}$ 。由于 SST 驱动器的输出摆幅只与电源电压有关,与电流大小无关,因此相较于 CML 驱动器,在

相同差分输出摆幅和匹配方式下,其功耗只有 CML 驱动器的  $1/4^{[7]}$ 。

3.2 阻抗匹配及前馈均衡方案

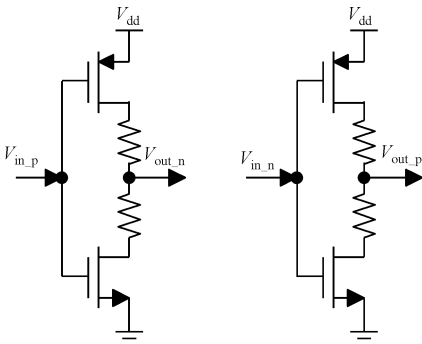
在传输线理论中,终端负载阻抗与传输线特征阻抗不匹配时会产生反射现象,严重影响信号传输质量。受到工艺波动的影响,片上的匹配电阻往往会产生较大的偏差,通常需增加修调校准单元,在芯片制造完成后,根据实际偏差对阻抗进行校准。

除此之外,由于实际传输的信号频谱比较复杂,在经过传输线时的各频率分量的衰减程度不同,再加上信道噪声、趋肤效应、串扰等影响,接收端收到的信号带有严重的后标拖尾和前标爬坡,造成码间干扰,大大影响了数据的误码率。针对该问题,除了在接收机端采取相应均衡手段外,通常在发射机端也需设计基于有限冲激响应滤波器的前馈均衡 (FFE) 方案来增强整个系统的均衡能力<sup>[6]</sup>。

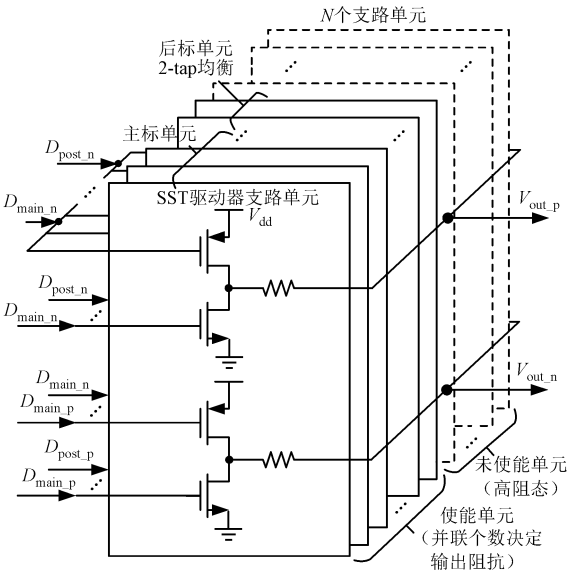
为实现匹配电阻修调校准和前馈均衡,本文将标准的 SST 驱动器拆分为 32 个相同且并联的驱动支路单元,将差分电阻对简化为一个串联在输出端的匹配电阻,结构如图 4(b) 所示。通过使能不同个数的支路单元来改变并联电阻个数,实现匹配阻抗的修调校准。未使用的支路单元通过前级控制模块对其执行关断使能,输出置于高阻态,在不影响输出阻抗的同时也不会产生额外功耗。

本文进一步通过调整已使能的支路单元中传输主标数据和后标数据的数量比例实现了 2 抽头、去加重的前馈均衡,如图 4(b) 所示。图 4(c) 为去加重均衡时的时序波形示意图。 $D_{main\_p}$  和  $D_{main\_n}$  为并串转换模块串行化后的数据,  $D_{post\_p}$  和  $D_{post\_n}$  为主标数据在移位寄存器中移位一个周期后取反的结果。设完成阻抗匹配后,传输主标数据的支路单元个数为  $M$ ,传输后标数据的支路单元个数为  $N$ ,则具体均衡值可表示为

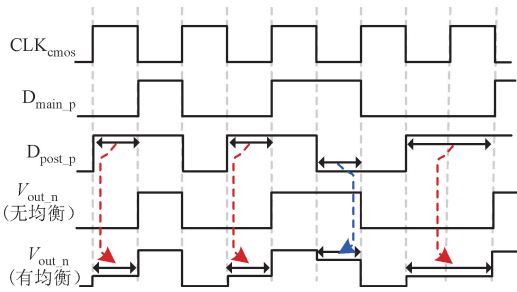
$$P_{de\_emphasis} = -20\lg\left(\frac{M-N}{M+N}\right) \tag{2}$$



(a) 传统差分 SST 驱动器结构



(b) 并联阻抗调节和前馈均衡结合方案



(c) 2-tap 去加重均衡时序波形示意图

图 4 SST 驱动器结构和时序波形

Fig. 4 SST driver structure and timing waveforms

本文的多支路并联的 SST 驱动器结构实现了匹配阻抗校准和前馈均衡方案的高效结合,显著地降低了电路复杂性和功耗、面积开销。

3.3 一步式匹配电阻自校准方案

对匹配阻抗的校准往往需要对制造完成后的芯片进行测试,然后手动配置修调片上电阻阻值,大大增加了芯片的测试时间成本,且由于受到测试环境的影响,校准结果往往不理想。本文设计了一个片上一步式匹配电阻自校准的方案,在芯片通电后可以对匹配电阻进行一步式的初始化自校准,无需测试和手动配置。电路结构如图 5 所示,整体架构包括驱动器支路单元的复制电路、100  $\Omega$  的片外高精度电阻、比较器和数字校准逻辑电路。

通过带隙基准偏置输出大小之比为 1:2 的精准电流  $I_1$ 、 $I_2$ ,其中  $I_1$  经过片外 100  $\Omega$  高精度电阻产生电压  $V_1$ ,电流  $I_2$  经过驱动器支路单元的下半部分电路的复制电路(驱动器上、下拉开关管的导通阻抗相近,因此以下拉电路为准进行阻抗校准)产生电压

$V_2$ 。当匹配电阻为  $50\ \Omega$  时,应满足电压关系  $V_1 = V_2$ ,因此通过比较实际电压  $V_1$  和  $V_2$ ,即可得到此时输出阻抗与  $50\ \Omega$  特征阻抗的关系。

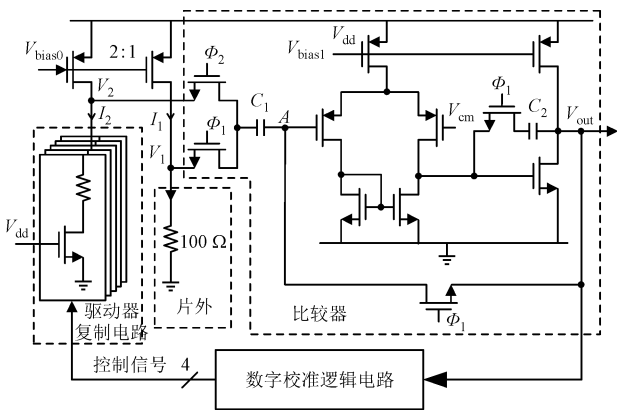


图 5 阻抗匹配自校准电路

Fig. 5 Matching-impedance auto-calibration circuit

本文采用开关电容比较器结构。在  $\Phi_1$  相时,比较器运放为单位增益缓冲结构,将点 A 钳位到  $V_{cm}$  电压,同时接入 Miller 补偿电容  $C_2$ ,确保环路稳定性,此时电容  $C_1$  输入电压  $V_1$ 。

在  $\Phi_2$  相时,比较器运放切断负反馈通路和 Miller 补偿通路,电容  $C_1$  输入电压  $V_2$ ,运放开环比较正负端的差分电压结果。根据电荷守恒定律, $\Phi_2$  相运算放大器差分输入为  $V_2 - V_1$ ,开关电容比较器可以很好地消除自身失调对判决结果带来的影响。

校准逻辑电路会根据比较器判决结果,对驱动器支路单元并联数进行二分法逼近调节,最终收敛出最合适的匹配阻抗,完成匹配阻抗的自校准,大大减小了芯片测试的时间成本,非常有效地减小了传输线反射,对回波损耗性能和信号眼图质量也有相当程度的改善。

本文通过多支路并联的 SST 驱动器和阻抗匹配自校准方案,将终端电阻匹配和电路均衡实现了高效的融合。首先由阻抗自校准得到最优匹配电阻小的驱动器单元个数  $N$ ,再根据式(2)的均衡公式,对输出信号进行 FFE 去加重均衡。

4 带有 T-coil 的 ESD 电路

为了保证发射机的工作可靠性,发射机的差分输出端口需要 ESD 保护电路进行防护。为了获得较大的电压防护裕度,ESD 保护电路中的二极管尺寸不宜太小,而大尺寸的二极管会引入较大的寄生

电容,使得信号在输入传输线之前就产生了一个较大的低通衰减,降低了整个发射机电路与传输线的匹配性能。本文采用 T-coil 技术<sup>[15]</sup>,补偿 ESD 电路寄生带来的低通特性,提升匹配度和回波损耗性能。

T-coil 技术通过一对电感,与 ESD 保护电路二极管形成一个 T 型结构,如图 6 所示。通过合理设计器件参数利用传输函数的零点来抵消低频极点从而扩展带宽。理想情况下,T-coil 方案能将带宽提升约 2.72 倍<sup>[7]</sup>,大大提升了传输性能。

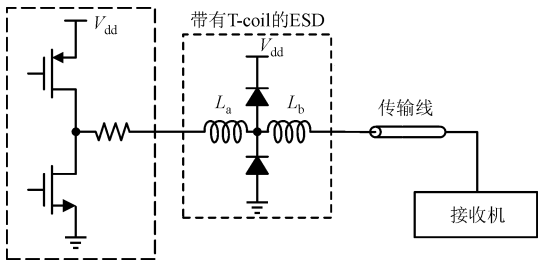
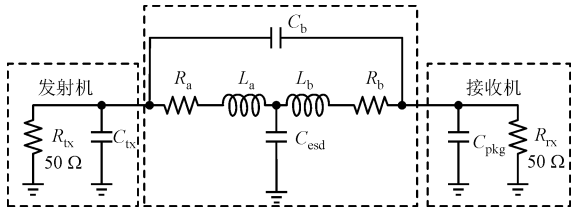


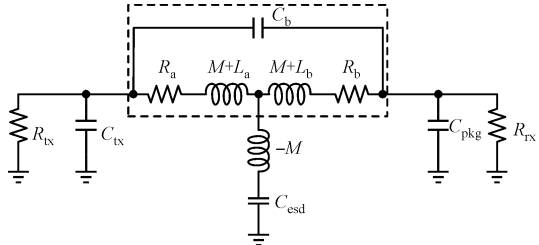
图 6 T-coil 电路结构

Fig. 6 T-coil circuit structure

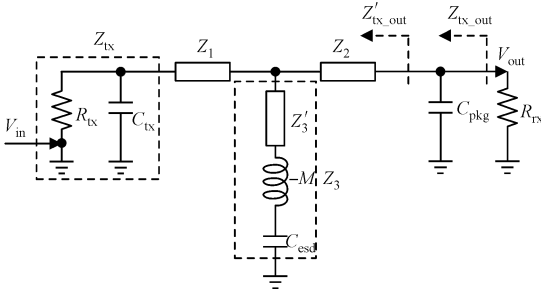
T-coil 电路的等效模型如图 7(a)所示。两个线圈的感值分别为  $L_a$ 、 $L_b$ ,它们的互感值为  $M = k(L_a L_b)^{0.5}$ , $k$  为两电感的耦合系数, $R_a$ 、 $R_b$  为电感寄生电阻,桥接电容  $C_b$  表示两个电感线圈之间的边缘寄生电容; $C_{esd}$  为 ESD 保护电路二极管的寄生电容; $C_{pkg}$  为封装引脚的寄生电容, $C_{tx}$  为驱动器输出端寄生电容;接收机匹配阻抗  $R_{rx}$  和发射机匹配阻抗  $R_{tx}$  均为  $50\ \Omega$ 。为了方便分析,根据耦合电容等效理论对 T-coil 电感进行解耦,如图 7(b)所示。然后,再通过  $\Delta$ -Y 电路转换进一步化简,得到图 7(c)所示的等效模型。



(a) T-coil 等效电路



(b) T-coil 电感解耦



(c) T-coil 最终等效电路

图 7 T-coil 模型及等效变换

Fig. 7 T-coil model and equivalent transformations

经过详细推导,可以得到图 7(c)中的各阻抗参数为

$$Z_1 = \frac{(L_s + M)s + R_a}{D(s)} \quad (3)$$

$$Z_2 = \frac{(L_b + M)s + R_b}{D(s)} \quad (4)$$

$$Z_3 = \frac{v_4 s^4 + v_3 s^3 + v_2 s^2 + v_1 s + 1}{u_3 s^3 + u_2 s^2 + u_1 s} \quad (5)$$

$$Z_{tx} = \frac{R_{tx}}{1 + sR_{tx}C_{tx}} \quad (6)$$

式(3)~(6)中,各变量的表达式为

$$\begin{cases} D(s) = C_b(L_a + L_b + 2M)s^2 + C_b(R_a + R_b)s + 1 \\ v_1 = C_b(R_a + R_b) \\ v_2 = R_a R_b C_b C_{esd} + C_b(L_a + L_b + 2M) - M C_{esd} \\ v_3 = C_b C_{esd}(L_a R_b + L_b R_a) \\ v_4 = C_b C_{esd}(L_a L_b - M^2) \\ u_1 = C_{esd} \\ u_2 = C_b C_{esd}(R_a + R_b) \\ u_3 = C_b C_{esd}(L_a + L_b + 2M) \end{cases} \quad (7)$$

当不考虑封装寄生电容  $C_{pkg}$  时,发射机  $V_{in}$  到  $V_{out}$  的传递函数  $H(s)$  和输出等效阻抗  $Z'_{tx\_out}$  为

$$H(s) = \frac{R_{tx} Z_2 Z_3}{(R_{tx} + Z_1 + Z_2)(Z_2 + R_{tx})Z_2 + (R_{tx} + Z_1)Z_1 Z_3} \quad (8)$$

$$Z'_{tx\_out} = \frac{Z_{tx} Z_3 + Z_1 Z_3 + Z_1 Z_2 + Z_2 Z_3 + Z_2 Z_{tx}}{Z_1 + Z_3 + Z_{tx}} \quad (9)$$

考虑封装寄生电容  $C_{pkg}$ , 则发射机的输出阻抗如下

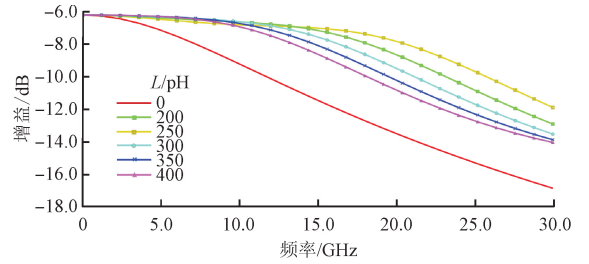
$$Z_{tx\_out} = \frac{Z'_{tx\_out}}{1 + sC_{pkg}Z'_{tx\_out}} \quad (10)$$

回波损耗  $|S_{11}|$  可以表示为

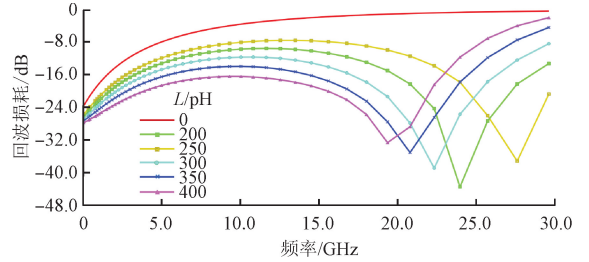
$$|S_{11}| = 20 \lg |r| = 20 \lg \left| \frac{Z_{tx\_out} - 50}{Z_{tx\_out} + 50} \right| \quad (11)$$

考虑到电路版图布局和电路性能,本文 T-coil 中的电感采用对称结构即  $L_a = L_b = L$ 。根据式(8)表示的传递函数和式(9)表示的回波损耗,对  $L$  取不同的值绘制出相应的频率响应曲线,如图 8 所示(本文取  $k = 0.4, C_{tx} = 200 \text{ fF}, C_{pkg} = 70 \text{ fF}, C_{esd} = 300 \text{ fF}, R_{tx} = R_{rx} = 50 \Omega$ , 对 T-coil 中电感线圈的感值进行估算)。可见,相比于  $L=0$  即不采用 T-coil 技术的情况下,较为理想的器件参数的 T-coil 可以显著扩展传输带宽、降低回波损耗,从而提升传输性能。

本文最终借助芯和半导体公司的电磁仿真软件 IRIS 工具,对电感线圈进行了建模和设计,并经过多次的迭代,确定了 T-coil 电感线圈的版图。



(a) T-coil 传递函数频率特性曲线



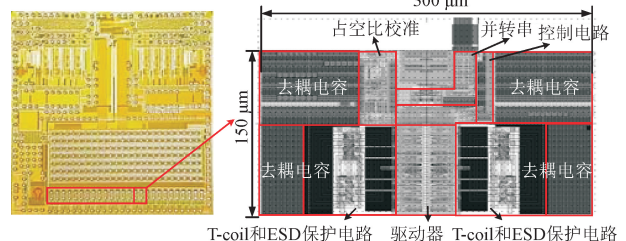
(b) T-coil 回波损耗频率特性曲线

图 8 T-coil 模型数学拟合结果

Fig. 8 Mathematical fitting results of the T-coil model

## 5 仿真和测试结果

本文 SerDes 发射机电路采用 28 nm CMOS 工艺设计并流片。图 9 为流片后整颗芯片的实际概貌图和发射机电路的版图,单条通道的发射机面积为  $300 \times 150 \mu\text{m}^2$ , 8 条通道的总面积为  $2450 \times 290 \mu\text{m}^2$ 。



T-coil和ESD保护电路 驱动器 T-coil和ESD保护电路

图 9 SerDes 应用芯片及发射机版图

Fig. 9 SerDes application chip and transmitter layout

对流片前的版图提取寄生参数后进行仿真,得到如下结果。在输入 8 GHz、占空比为 60% 的输入时钟情况下,时钟占空比校准电路的校准收敛过程如图 10 所示。由图可见,反馈环路通过调控延时单元来改变时钟上升下降延时,实现了时钟占空比校准,70 ns 内得到了 50.08% 的输出占空比。进一步的仿真表明,该电路在不同工艺角、温度和电源电压条件下,均能将失调校准至 $\pm 0.12\%$ 以内,大幅减小了半速率结构发射机中由时钟占空比失真所引起的确定性抖动。

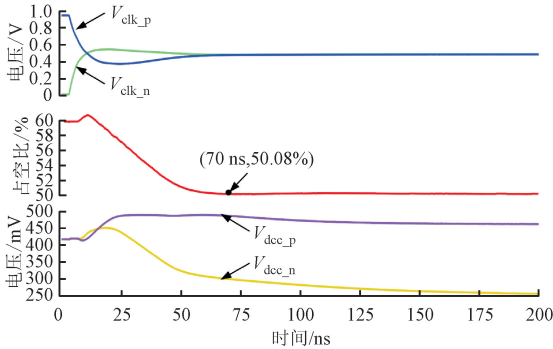


图 10 8 GHz、60% 占空比时钟校准收敛过程

Fig. 10 Process of 8 GHz and 60% duty cycle clock calibration

完成匹配电阻自校准后对输出端口进行 S 参数仿真,图 11 为不同条件下的回波损耗即 S11 的仿真结果。结果表明,当 ESD 电路带入 T-coil 结构拓展带宽后,回波损耗减小约 9 dB,性能得到了显著优化。

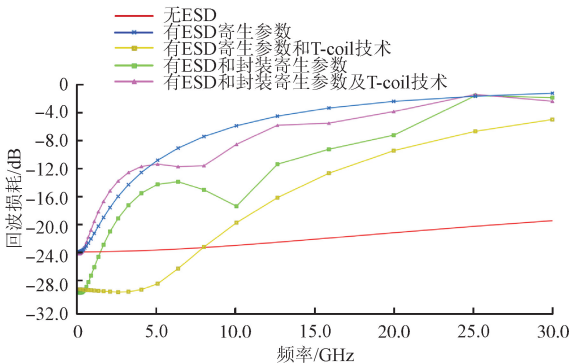


图 11 不同条件下发射端口回波损耗仿真结果

Fig. 11 Simulation results of transmitter port return loss under different conditions

图 12 为本文发射机均衡性能的仿真结果,图中 SST 驱动器支路单元并联个数为 32。从中可以看到,不同均衡值配置下,电路对输入的 PRBS7 数据中连续出现的数据码值实现了可控幅值的去加重均衡。经计算,电压摆幅的减小量与式(2)结果吻合。

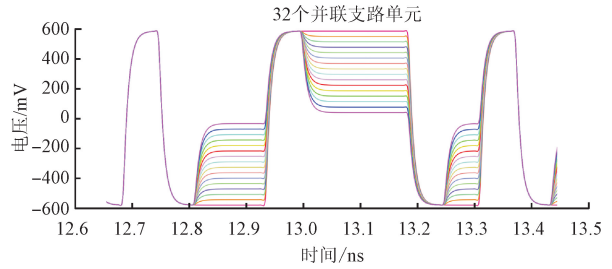


图 12 16 Gb/s 速率下不同均衡档位的输出信号仿真结果  
Fig. 12 Simulation results of output signal at different equalization settings under a 16 Gb/s rate

对流片后的芯片进行测试,图 13 为测试台及测试设备。图 14 给出了室温下所测得的 16 Gb/s PRBS7 数据码型的眼图结果。在  $10^{-12}$  误码率要求下,眼图高度约为 811 mV,眼图宽度约为 58.8 ps,整体抖动为 7.35 ps,其中确定性抖动约为 1.423 ps,随机抖动约为 415 fs,计算得到的能效为 3.07 pJ/bit。各项数据均符合 JESD204B 协议的要求。

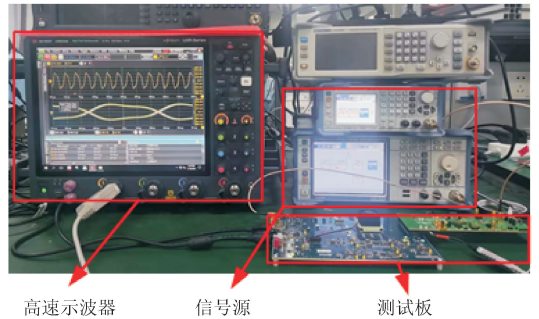


图 13 发射机芯片测试台及设备

Fig. 13 Transmitter chip test bench and equipment



图 14 16 Gb/s PRBS7 输出数据差分眼图测试结果截屏  
Fig. 14 16 Gb/s PRBS7 output data differential eye diagram test results

表 1 给出了本文与其他参考文献 SerDes 发射机性能参数的对比。可以看到,本文所设计的 16 Gb/s 发射机电路在数据抖动、回波损耗以及低功耗

耗、高能效的性能上具有一定优势,且电路中半速率发射机结构以及占空比调节电路大大降低了外部时钟电路的需求,一步式匹配阻抗自校准功能也显著增加了芯片的灵活性。

表 1 本文发射机电路与其他文献方法性能对比

Table 1 Performance comparison between this paper and other literatures

| 方法     | 工艺           | 最大传输速率/<br>(Gb·s <sup>-1</sup> ) | 差分眼高与<br>电源电压比值 | 能效/<br>(pJ·bit <sup>-1</sup> ) | 总抖动与单 bit<br>数据脉宽比 | 回波损耗/dB |
|--------|--------------|----------------------------------|-----------------|--------------------------------|--------------------|---------|
| 文献[23] | 28 nm CMOS   | 6.0                              | 0.75            | 4.61                           | 0.13               |         |
| 文献[24] | 0.13 μm CMOS | 6.4                              | 0.35            | 15.60                          | 0.3                | -10     |
| 文献[25] | 55 nm CMOS   | 8.0                              | 0.68            | 3.65                           | 0.32               | -8.05   |
| 文献[26] | 0.13 μm CMOS | 10.312 5                         | 0.71            |                                | 0.40               | -9.52   |
| 文献[27] | 40 nm CMOS   | 12.5                             | 0.647           | 2.88                           | 0.46               |         |
| 文献[28] | 20 nm CMOS   | 16.3                             |                 | 17.50                          | 0.15               |         |
| 本文     | 28 nm CMOS   | 16.0                             | 0.83            | 3.07                           | 0.12               | -15     |

注:总抖动为 10<sup>-12</sup> 误码率下的值;回波损耗为 1/2 传输速度处的值。

6 结 论

本文提出了一种符合 JESD204B 协议的 16 Gb/s SerDes 发射机电路,该电路采用半速率非归零码的传输方式。时钟占空比校准电路能够自适应地校准输入时钟的占空比失调。采用改进的多支路并联的源串联终端(SST)驱动架构,有效实现了匹配阻抗校准和前馈均衡方案的结合。一步式匹配阻抗自校准方案,能够更有效地解决先进工艺下片上电阻较大的制造偏差所带来的匹配阻抗失调和反射现象。最后,采用 T-coil 结构有效补偿了 ESD 保护电路的寄生所导致的高频信号衰减。经流片测试,本文发射机在 16 Gb/s 的传输速率下,输出信号眼高为 811 mV,眼宽约为 58.8 ps,总抖动为 7.35 ps,发射机功耗约为 49.2 mW,能效比为 3.07 pJ/bit。版图面积约为 300×150 μm<sup>2</sup>。各项指标均满足 JESD204B 协议的要求,并在能效、抖动性能和眼图质量上均有一定的优势。

参考文献:

[1] STAUFFER D R, MOHAMMAD A, OGILVIE C R, et al. High Speed Ser Des devices and applications [M]. Berlin, Germany: Springer, 2008.

[2] JEDEC Solid State State Technology Association. Serial interface for data converters: JESD204B [S]. America; JEDEC Solid State State Technology Association, 2011.

[3] RYLOV S, BEUKEMA T, TOPRAK-DENIZ Z, et al. 3.1 A 25 Gb/s ADC-based serial line receiver in 32 nm CMOS SOI [C]//2016 IEEE International Solid-State Circuits Conference (ISSCC). Piscataway,

NJ, USA; IEEE, 2016: 56-57.

[4] CUI Delong, ZHANG Heng, HUANG N, et al. 3.2 A 320 mW 32 Gb/s 8b ADC-based PAM-4 analog front-end with programmable gain control and analog peaking in 28 nm CMOS [C]//2016 IEEE International Solid-State Circuits Conference (ISSCC). Piscataway, NJ, USA; IEEE, 2016: 58-59.

[5] 陈婷婷. 基于 JESD204B 协议的接收端电路研究与实现 [D]. 无锡: 江南大学, 2022.

[6] 栾昌海, 马艳. Serdes 技术发展介绍以及未来的挑战 [J]. 中国集成电路, 2022, 31(11): 49-53.

[7] 湛伟. 高速 Serdes 技术的发展趋势和挑战 [J]. 电子产品世界, 2019, 26(9): 48-53.

ZHAN Wei. Development trend and challenge of high speed Serdes technology [J]. Electronic Engineering & Product World, 2019, 26(9): 48-53.

[8] BULZACCHELLI J F, MEGHELLI M, RYLOV S V, et al. A 10-Gb/s 5-tap DFE/4-tap FFE transceiver in 90-nm CMOS technology [J]. IEEE Journal of Solid-State Circuits, 2006, 41(12): 2885-2900.

[9] 张瑶, 张鸿, 李梁, 等. 时钟数据恢复电路中的线性相位插值器 [J]. 西安交通大学学报, 2016, 50(2): 48-54.

ZHANG Yao, ZHANG Hong, LI Liang, et al. A linear phase interpolator for clock and data recovery circuits [J]. Journal of Xi'an Jiaotong University, 2016, 50(2): 48-54.

[10] 付玉山, 马奎, 唐重林, 等. 一种 28 Gbps 高速 SERDES 发射器 [J]. 微电子学与计算机, 2021, 38(10): 103-108.

FU Yushan, MA Kui, TANG Zhonglin, et al. A 28 Gbps high-speed SERDES transmitter [J]. Microelectronics & Computer, 2021, 38(10): 103-108.

[11] 彭嘉豪, 李儒章, 付东兵, 等. 基于差分编码技术的

- 12.5 Gbit/s 高速 SerDes 发射机 [J]. 微电子学, 2021, 51(1): 85-90.
- PENG Jiahao, LI Ruzhang, FU Dongbing, et al. A 12.5 Gbit/s high speed SerDes transmitter based on differential encoding technology [J]. Microelectronics, 2021, 51(1): 85-90.
- [12] PENG P J, LAI S T, WANG W H, et al. 6.8 a 100 Gb/s NRZ transmitter with 8-tap FFE using a 7b DAC in 40 nm CMOS [C]//2020 IEEE International Solid-State Circuits Conference-(ISSCC). Piscataway, NJ, USA: IEEE, 2020: 130-132.
- [13] GU Youzhi, CHEN Junkun, LI Xiaolin, et al. A 32 Gb/s NRZ wireline transmitter with CMFB-based CML driver in 28 nm CMOS technology [C]//2021 IEEE International Midwest Symposium on Circuits and Systems (MWSCAS). Piscataway, NJ, USA: IEEE, 2021: 14-17.
- [14] MENOLFI C, TOIFL T, BUCHMANN P, et al. A 16 Gb/s source-series terminated transmitter in 65nm CMOS SOI [C]//2007 IEEE International Solid-State Circuits Conference. Digest of Technical Papers. Piscataway, NJ, USA: IEEE, 2007: 446-614.
- [15] WANG Tonghui, ZOU Jiaxuan, QI Huanhuan, et al. A programmable pre-emphasis technique with combined RLC source degeneration for high-speed serial link transmitters [J]. Chinese Journal of Electronics, 2022, 31(1): 52-58.
- [16] TANG Hanchun, DING Li, JIN Jing, et al. A 28 Gb/s 2-tap FFE source-series-terminated transmitter in 22 nm CMOS FDSOI [C]//2018 IEEE International Symposium on Circuits and Systems (ISCAS). Piscataway, NJ, USA: IEEE, 2018: 1-4.
- [17] 张媛菲. 基于 28 nm CMOS 工艺的高速 SerDes 接口发送端设计 [D]. 沈阳: 辽宁大学, 2023.
- [18] 王新武, 张长春, 张翼, 等. 56 Gb/s 低功耗分数间隔 FFE PAM4SerDes 发射机设计 [J/OL]. 微电子学: 1-8 [2024-04-23]. <https://doi.org/10.13911/j.cnki.1004-3365.230299>.
- WANG Xinwu, ZHANG Changchun, ZHANG Yi, et al. Design of a 56 Gb/s low-power PAM4 SerDes transmitter with a fractionally-spaced FFE [J/OL]. Microelectronics: 1-8 [2024-04-23]. <https://doi.org/10.13911/j.cnki.1004-3365.230299>.
- [19] KOSSEL M, MENOLFI C, WEISS J, et al. A T-coil-enhanced 8.5 Gb/s high-swing source-series-terminated transmitter in 65nm bulk CMOS [C]//2008 IEEE International Solid-State Circuits Conference-Digest of Technical Papers. Piscataway, NJ, USA: IEEE, 2008: 110-599.
- [20] GALAL S, RAZAVI B. Broadband ESD protection circuits in CMOS technology [J]. IEEE Journal of Solid-State Circuits, 2003, 38(12): 2334-2340.
- [21] RAZAVI B. The bridged t-coil: a circuit for all seasons [J]. IEEE Solid-State Circuits Magazine, 2015, 7(4): 9-13.
- [22] 李楠楠, 黄正波, 季惠才, 等. 用于高速模数转换器的电荷泵型低抖动时钟管理电路 [J]. 西安交通大学学报, 2020, 54(1): 162-168.
- LI Nannan, HUANG Zhengbo, JI Huicai, et al. A low jitter charge pump based clock management circuit for high speed analog-to-digital converters [J]. Journal of Xi'an Jiaotong University, 2020, 54(1): 162-168.
- [23] LYU Bingrong, YE Fan, REN Junyan. A 6-Gb/s wireline transmitter design with 3-tap FFE in 28nm CMOS technology [C]//2023 IEEE 15th International Conference on ASIC (ASICON). Piscataway, NJ, USA: IEEE, 2023: 1-4.
- [24] BALAN V, CAROSELLI J, CHERN J G, et al. A 4.8-6.4-Gb/s serial link for backplane applications using decision feedback equalization [J]. IEEE Journal of Solid-State Circuits, 2005, 40(9): 1957-1967.
- [25] HUANG Yibin, YANG Haohan, CHEN Wenya, et al. An 8-Gbps, low-jitter, four-channel transmitter with a fractional-spaced feed-forward equalizer [J]. Electronics, 2022, 11(11): 1768.
- [26] 程丽桦. 基于 130nm 工艺 10.3125Gbps 发送器设计与实现 [D]. 成都: 电子科技大学, 2021.
- [27] CHATTOPADHYAY B, BHAT S N, NAYAK G, et al. A 12.5 Gbps transmitter for multi-standard SERDES in 40 nm low leakage CMOS process [C]//2018 31st International Conference on VLSI Design and 2018 17th International Conference on Embedded Systems (VLSID). Piscataway, NJ, USA: IEEE, 2018: 13-18.
- [28] SAVOJ J, ASLANZADEH H, CAREY D, et al. Wideband flexible-reach techniques for a 0.5~16.3 Gb/s fully-adaptive transceiver in 20 nm CMOS [C]//Proceedings of the IEEE 2014 Custom Integrated Circuits Conference. Piscataway, NJ, USA: IEEE, 2014: 1-4.

(编辑 杜秀杰)